ششمین همایش بین‌المللی افق های نویـن در
مهندسی برق، کامپیوتـر و مکانیک
6th International Conference on the New Horizons in
Electrical Engineering, Computer and Mechanical
www.mhconf.ir

بررسی و بهینه‌سازی توان مصرفی جمع‌کننده carry lookahead ۴بیتی

یاسر اشرفی[۱]، علی طالبی[۲]،

[۱]دانشجوی کارشناسی ارشد برق الکترونیک دانشگاه ارومیه، ارومیه yaser.76ashrafi@gmail.com

[۲] دانشجوی کارشناسی ارشد برق الکترونیک دانشگاه ارومیه، ارومیه ali.t2879009@gmail.com

چکیده

جمع‌کننده ها به عنوان یکی از اجزای پایه‌ای واحد پردازش مرکزی به طور گسترده‌ای در کامپیوترها مورد استفاده قرار می‌گیرند. از آن جایی که سرعت محاسبات و توان مصرفی سیستم از مهم‌ترین شروط برای یک طراح هستند در نتیجه اهمیت جمع‌کننده‌ها به وضوح دیده می‌شود. می‌دانیم در طراحی مدارات الکترونیکی سرعت بالا همیشه مطلوب ما می‌باشد ولی این سرعت بالا نباید منجر به از دست دادن دیگر فاکتورها شود، گاهی توان مصرفی سیستم نیز مسئله مهمی برای طراحی می‌باشد.

در این مقاله به بررسی مدار جدیدی پرداخته شده که به جای مدار جمع‌کننده carry lookahead متداول قدیمی ارائه شده است. با شبیه‌سازی در سطح ترانزیستور صحت عملکرد مدار جدید بررسی شده و نتایج بهبود آن نمایش داده می‌شود. مدار جدید با استفاده از متدهایی، تاخیر مدار جمع‌کننده را کاهش می‌دهد و در نتیجه سرعت مدار را بالا می‌برد. در ادامه با بهینه‌سازی مدار جدید و کاهش ولتاژ کاری آن سرعت دو مدار جمع‌کننده قدیم و جدید را برابر می‌کنیم ولی در عوض مداری با توان کاری پایین طراحی کرده‌ایم.

واژه‌های کلیدی

جمع‌کننده cla، بهینه‌سازی، مدارات کم‌توان، کاهش ولتاژ کاری، جمع‌کننده با قابلیت پیش بینی رقم نقلی.

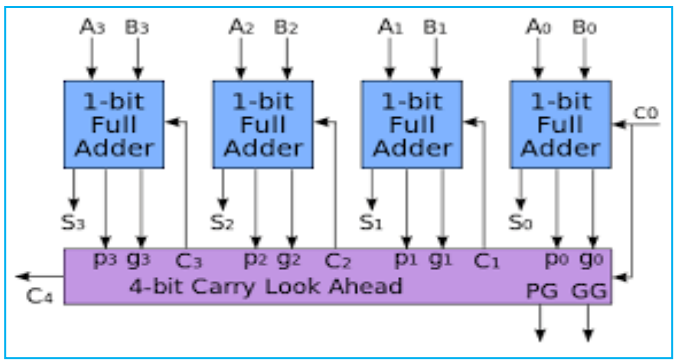
۱. مقدمه

کارایی و توان مصرفی پارامترهای تعیین‌کننده‌ای در مدارات مجتمع پیچیده امروزی هستند. کارایی بالا، سطح مقطع پایین و توان مصرفی پایین به ترتیب اهمیت زیادی در دستگاه‌هایی مثل موبایل همراه، ابزارهای زیست پزشکی، سیستم‌های پردازش سیگنال دیجیتال، گیرنده‌های بی‌سیم و... دارند. در هر یک از موارد بالا با وجود محدودیت توان و سطح مقطع، نیاز به بیشترین سرعت برای پردازش و محاسبات داریم [1]. در اینجاست که نقش جمع‌کننده‌ها پدیدار می‌شود، جمع‌کننده یکی از مهم‌ترین اجزا پردازشگر مرکزی است که در پردازش واحد حساب منطقی، پردازش سیگنال دیجیتال، پردازش تصویر، میکروپروسسورها و در تمام عملیات حسابی از قبیل تقسیم، ضرب و تفریق مورد استفاده می‌باشد پس اگر این واحد را از نظر مصرف توان و سرعت بهینه کنیم باعث کارایی کل سیستم خواهد شد [2].

۲. طبقه بندی جمع‌کننده‌ها و روند مطالعاتی موضوع

۱،۲.جمع‌کننده CLA[1] متداول قدیمی

جمع‌کننده CLA نوعی مدار جمع‌کننده است که در مدارات منطقی به کار می‌رود. این مدار با کاهش زمان مورد نیاز برای تولید بیت نقلی سرعت جمع زدن را افزایش می‌دهد. در مقابل این جمع‌کننده نوع دیگری از جمع‌کننده‌ها وجود دارد که با نام RCA[2] معروف هستند. هر چند که جمع‌کننده با بیت نقلی پله‌ای از لحاظ اجرای مداری ساده‌تر از جمع‌کننده با قابلیت پیش‌بینی رقم نقلی می‌باشد اما از لحاظ سرعت انجام عملیات، کندتر است چرا که در این گونه از جمع‌کننده‌ها مدار لازم است منتظر بماند تا بیت نقلی حاصل از جمع دو بیت قبلی محاسبه شده و آنگاه برای محاسبه بیت نقلی حاصل از جمع دو بیت بعدی اقدام کند، پس مدار مطالعاتی ما CLAها می‌باشند [3].



شکل ۱. دیاگرام یک جمع‌کننده CLA

در شکل (۱) منظور از S حاصل جمع، C حاصل رقم نقلی و A وB بیت‌های ورودی می‌باشد؛ با توجه به کارکرد CLA می‌توان نوشت:

$$S_i = P_i \oplus C_i \quad (۱)$$

$$C_i + 1 = G_i + P_i C_i \quad (۲)$$

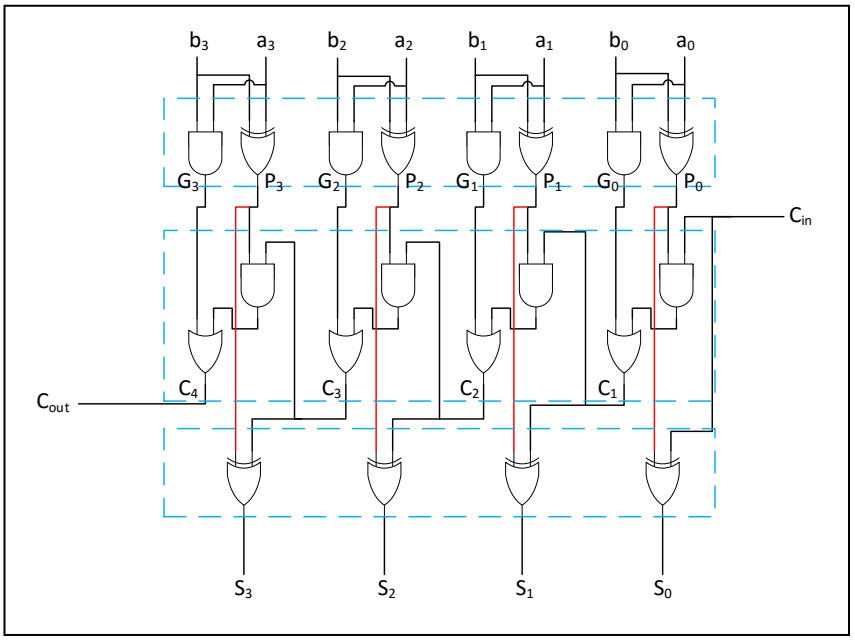
در روابط (۱) و (۲)، P و G هر کدام به ترتیب از روابط زیر بدست می‌آیند:

$$P_i = A_i \oplus B_i \quad (۳)$$

$$G_i = A_i B_i \quad (۴)$$

---

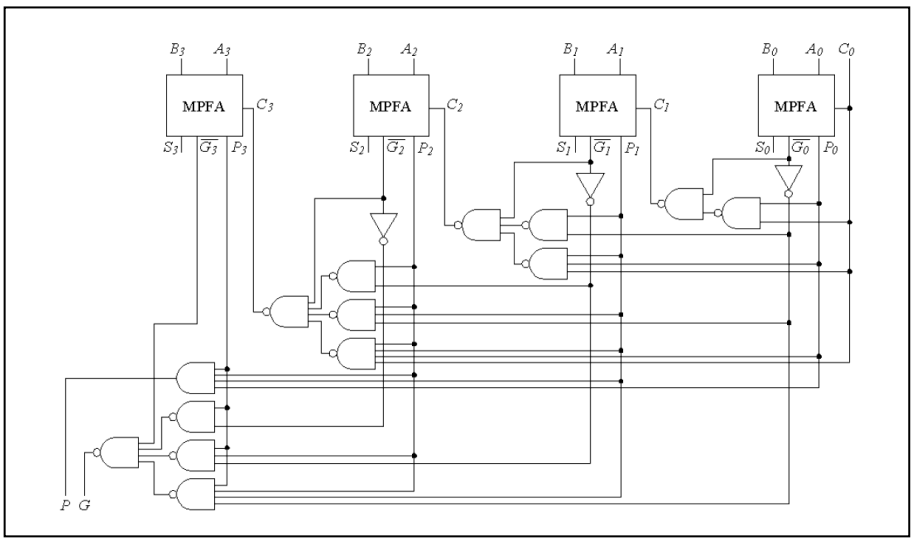
[1] Carry lookahead adder (جمع کننده با قابلیت پیش‌بینی رقم نقلی)
[2] Ripple carry adder (جمع‌کننده با بیت نقلی پله‌ای یا موج‌گونه)



شکل ۲. شماتیک جمع‌کننده CLA ۴ بیت

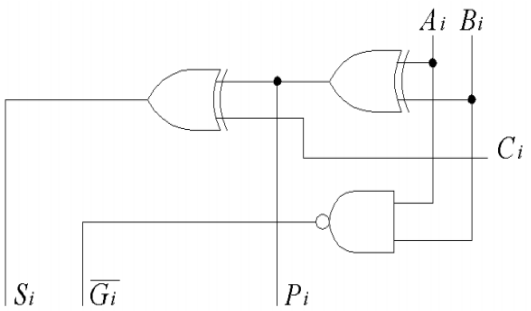
۲,۲. جمع‌کننده MCLA[3] (مدار جدید)

در منبع شماره [3] نویسنده مدار جدیدی را ارائه داده و آن را MCLA نامگذاری کرده است، در این مقاله نویسنده با استفاده از متد-هایی توانسته تاخیر مدار را کاهش دهد. مدار پیشنهادی ساده شده از لحاظ ساختمان پایه کاملا شبیه به CLA می‌باشد. تمایز جمع-کننده MCLA با جمع کننده CLA متداول قدیمی در این است که در مدار جدید گیت NAND جایگزین گیت‌های AND و NOT شده است. می‌دانیم گیت NAND از لحاظ سرعت عملکرد و هزینه‌های ساخت شرایط بهتری نسبت به گیت‌های AND و NOT دارد.



شکل ۳. شماتیک جمع‌کننده MCLA ۴ بیت

[3] Modified carry lookahead adder (جمع‌کننده با قابلیت پیش‌بینی رقم نقلی تغییر یافته)



شکل ۴. شماتیک بلوک MPFA

مطابق شکل (۳) هر یک از بلوک‌های MPFA[۴] یک مدار جمع‌کننده تک بیت هستند که در شکل (۴) نمایش داده شده است.

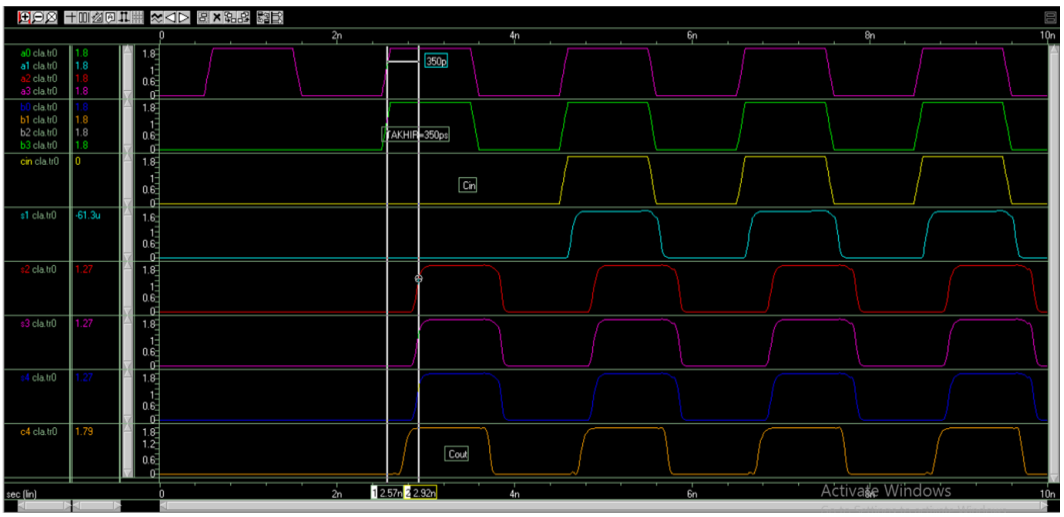
۳. نتایج شبیه‌سازی

در این قسمت به پیاده‌سازی و شبیه‌سازی هر یک از شماتیک‌های جمع‌کننده CLA و MCLA پرداخته خواهد شد. شبیه‌سازی توسط نرم افزار hspice در سطح ترانزیستور صورت گرفته و در این شبیه‌سازی از تکنولوژی 0.18 استفاده شده است.

معیار ما برای سنجش سرعت این دو جمع‌کننده در این شبیه‌سازی زمان صعود (tr) و زمان نشست (tf) خواهد بود. همچنین برای سنجش بهینه‌سازی مدارات مقدار توان مصرفی هر دو جمع‌کننده نیز اندازه گیری می‌شود.

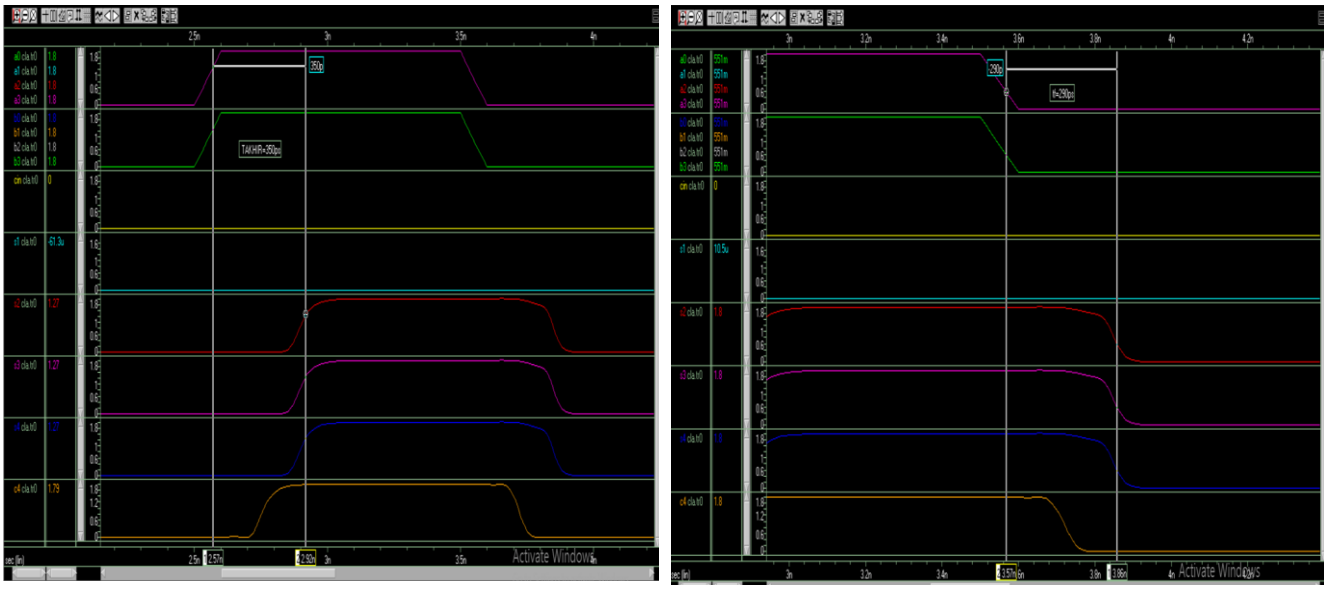
۱،۳. نتایج شبیه‌سازی جمع‌کننده CLA ۴ بیت

برای تایید صحت عملکرد مدار مقادیر مختلفی تست شده که در این مقاله به یکی از این ورودی ها که بزرگترین رقم ۴ بیت است و بیشترین تاخیر را ایجاد می‌کند بسنده شده است. لازم بذکر است رقم نقلی اولیه (c_0) در هر دو شبیه‌سازی صفر گرفته شده است.



شکل ۵. نمودار خروجی شبیه‌سازی CLA ۴ بیت

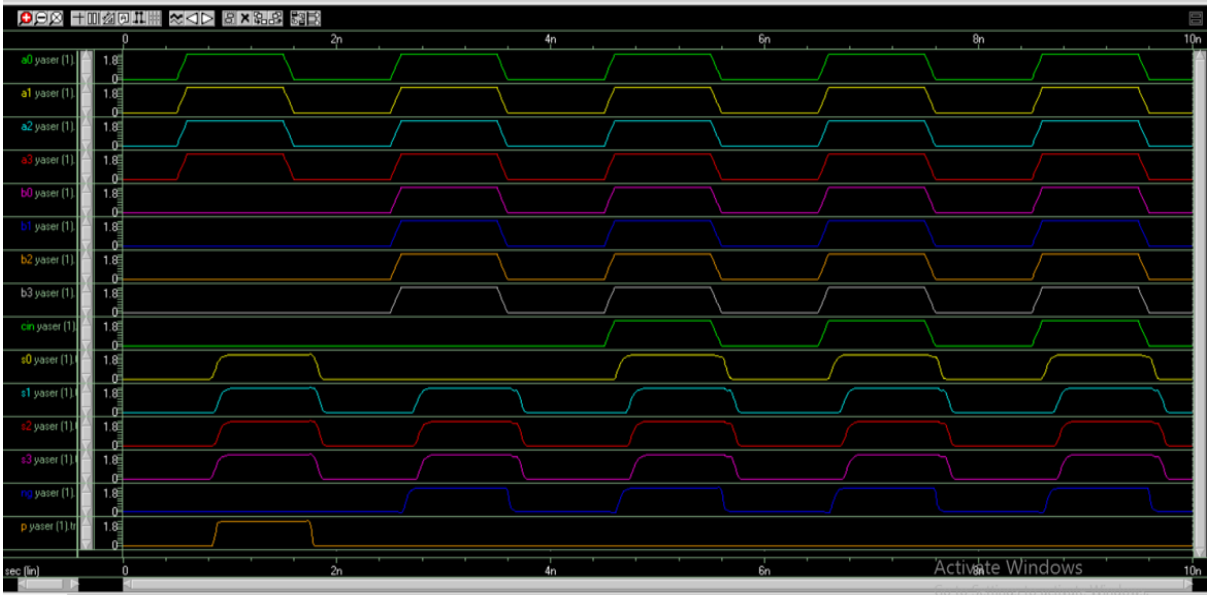
[4] Metamorphosis of partial full adder (جمع‌کننده تک بیتی)



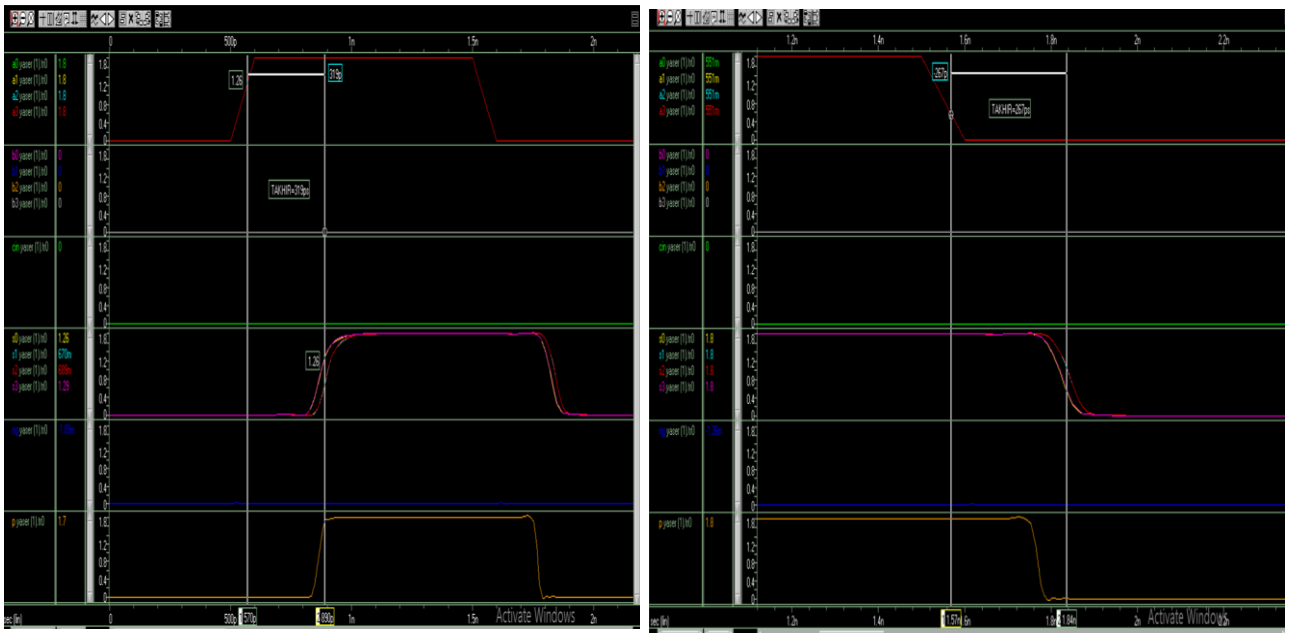
شکل ۶. از سمت چپ به راست به ترتیب زمان صعود (tr) و زمان نشست (tf) جمع‌کننده CLA

۲,۳. نتایج شبیه‌سازی جمع‌کننده MCLA ۴ بیت

رقم نقلی اولیه در این شبیه‌سازی نیز مشابه حالت قبل صفر گرفته شده است. نتایج حاصل از شبیه‌سازی در زیر آورده شده است.



شکل ۷. نمودار خروجی شبیه‌سازی MCLA ۴ بیت



شکل ۶. از سمت چپ به راست به ترتیب زمان صعود (tr) و زمان نشست (tf) جمع‌کننده CLA

۳،۳. مقایسه نتایج شبیه‌سازی جمع‌کننده‌های CLA و MCLA

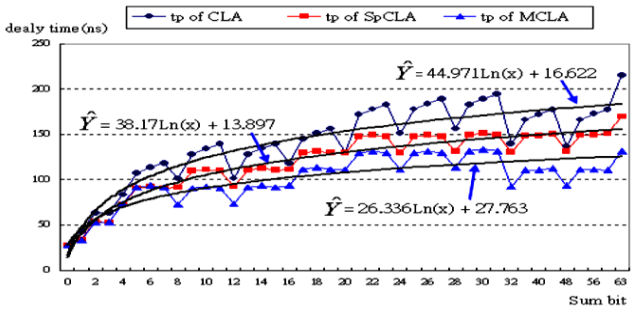
در این مقایسه ملاک ما میزان تاخیر و توان مصرفی مدار می‌باشد، نتایج به شرح زیر است.

نوع جمع‌کننده	جمع‌کننده CLA	جمع‌کننده MCLA
زمان صعود	350ps	319ps
زمان نشست	290ps	267ps
توان مصرفی	1.1731E-03	1.1289E-03

جدول ۱. پارامترهای مختلف دو مدار

همانطور که مشاهده می‌کنید در جمع کننده MCLA هر دو زمان زمان صعود و زمان نشست بهبود پیدا کرده که در نتیجه آن تاخیر مدار پایین آمده است، علاوه بر این بهبودها توان مصرفی نیز نه تنها بیشتر نشده بلکه در حد ۳٪ بهتر شده است.

باید در نظر بگیریم که سنجش ما روی جمع کننده ۴ بیتی بوده است، طبق شکل ۷ در مقاله هر چه تعداد ورودی جمع‌کننده‌ها بالاتر برود فاصله بهبود تاخیرها بین دو جمع‌کننده بیشتر می‌شود و شرایط جمع‌کننده MCLA به مراتب بهتر می‌شود [3].



شکل ۷. دیاگرام زمان تاخیر برای ورودی‌های مختلف جمع‌کننده

۴. بهینه‌سازی توان

در دنیای دیجیتال امروز، نیاز به پردازش‌های پیچیده‌تر و حجیم‌تر رو به افزایش است. بدیهی است این امر باعث افزایش زمان پردازش داده‌ها و توان مصرفی سیستم‌های پردازشی می‌شود. کاربردهایی چون پردازش سیگنال و تصویر، بینایی و یادگیری ماشین، ارتباطات بی‌سیم و ... هر روز در حال پیشرفت است و داده‌های بیشتری برای پردازش تولید می‌کنند. همچنین استفادهٔ گسترده از وسایل الکترونیکی مبتنی بر باتری، اهمیت توان مصرفی را دو چندان کرده است؛ درنتیجهٔ این موضوع، دنیای دیجیتال نیازمند پردازنده‌هایی است که توان مصرفی کمی داشته باشند.

افزایش فرکانس کاری پردازنده‌ها تا حدودی پاسخگوی نیاز پردازشی کاربردهای فعلی است؛ اما این امر به افزایش توان مصرفی مدار نیز منجر می‌شود [5]. استفاده از تکنیک‌هایی چون کاهش ولتاژ کاری، فرکانس سوییچینگ و ... راه‌حلی برای کاهش توان مصرفی است. راه حل مورد نظر ما در این مقاله استفاده از متد کاهش ولتاژ کاری است.

۱,۴. بهینه‌سازی توان با استفاده از کاهش ولتاژ کاری

کاهش ولتاژ کاری مدار مبتنی بر پارامترهای خاصی می‌باشد، در این مقاله ولتاژ کاری مدار جمع‌کننده MCLA را تا جایی پایین می-آوریم که سرعت آن با مدار جمع‌کننده CLA معمولی برابر گردد، در این حالت مداری با توان مصرفی پایین و سرعت قابل قبول در حد یک جمع‌کننده معمولی طراحی کرده‌ایم.

۱,۱,۴. مدل‌سازی مسئله

برای یکسان‌سازی مقادیر سرعت دو مدار لازم است رابطه‌ای بین تاخیر مدارها و ولتاژ را بدست آوریم، در تعیین تاخیر مدار به دلیل این که میزان زمان صعود از زمان نشست بیشتر است در نتیجه مطلوب ما در مقادیر تاخیر مدار مقادیر زمان صعود هستند.

$$t_{r,cla} = t_{r,mcal} \quad (۵)$$

$$\frac{V_{DDL}}{V_{DD}} = \frac{t_{r,mcal}}{t_{r,cla}} \Rightarrow \frac{V_{DDL}}{1.8} = \frac{319ps}{350ps} \Rightarrow V_{DDL} = 1.64V \quad (۶)$$

با توجه به روابط ۵ و ۶ مقدار ولتاژ جدید نسبت به حالت قبل ۰,۱۶ ولت کم کمتر می‌شود.

۲,۱,۴. تغییر ولتاژ کاری

با تغییر ولتاژ کاری، مدار را در تمام حالات تست کرده‌ایم و کاملا صحیح کار می‌کند. این نشانگر این است که ترانزیستورها دچار مشکل نشده‌اند و ناحیه کاری هیچ کدام تغییر نکرده است. تاخیر خروجی‌ها در مدار جدید دقیقا مشابه مدار CLA می‌باشد.

۵. نتایج شبیه‌سازی ها

نوع مدار	جمع‌کننده CLA	جمع‌کننده MCLA	حالت کاهش یافته ولتاژ
توان مصرفی	1.1731E-03	1.1289E-03	0.9246E-03

جدول ۲. نتایج خروجی مقدار توان در حالات مختلف

با توجه به جدول شماره (۲) میزان بهبود توان در حالت کاهش یافته ولتاژ نسبت به جمع‌کننده CLA، ۲۱٪ و نسبت به حالت MCLA، ۱۸٪ می‌باشد که میزان چشمگیری می‌باشد.

۶. نتیجه‌گیری

نتایج حاصل از این مقاله به شرح زیر می‌باشد:

- جمع‌کننده ها به عنوان یکی از اجزای پایه‌ای واحد پردازش مرکزی به طور گسترده‌ای در مدارات و طراحی‌ها مورد استفاده قرار می‌گیرند.
- امروزه جمع‌کننده CLA یکی از پرسرعت‌ترین جمع‌کننده‌هاست، در این مقاله شیوه تغییر یافته‌ای از جمع‌کننده CLA را ارائه دادیم که از لحاظ توان مصرفی شرایط بهتری نسبت به CLA معمولی دارد.
- تمامی شبیه‌سازی‌های مدارات توسط نرم‌افزار HSPICE در تکنولوژی ۰,۱۸ صورت گرفته و پاسخ صحیح را به ما می‌دهد.
- بهینه‌سازی توان جمع‌کننده جدید به وسیله کاهش ولتاژ مصرفی صورت گرفته به طوری که سرعت جمع‌کننده با سرعت یک جمع‌کننده CLA معمولی برابر است.

منابع

[1] محمد جعفر کارگر، ۱۳۹۴. بهینه‌سازی ساختار گیت XOR در طراحی جمع‌کننده کامل با تکنیک GDI، دومین کنفرانس بین‌المللی پژوهش در مهندسی، علوم و تکنولوژی.

[2] Mehdi, H., Parag, B., MD.Shihabul, A., Hasan U, Z., Mainul, H., Shamali, I., 2019. High Speed and Ultra Low Power Design of Carry Out of 4-Bit Carry Look-Ahead Adder, 10th ICCCNT, India,.

[3] Yu-Ting, P., Yu-Kumg, C., 2004. The Fastest Carry Lookahead Adder, Proceedings of the Second IEEE International Workshop on Electronic Design, Test and Applications (DELTA'04).

[4] Ranjitha H, V., Sujatha, H., 2018. Low Power Desing and Implementation of Multi-Output Carry Look-Ahead Adder, 3rd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT-2018).

[5] N. H. E. West, D. Harris, CMOS VLSI design: a circuits and systems perspective. 2015: Pearson Education India.